### **Предисловие**

### Данный курс является скорее попыткой разобраться в особенностях архитектуры RISC-V, её возможностях в контексте дальнейшего применения решений на её основе в FPGA проектах. Автор не является ярым фанатом или поклонником RISC-V, но обладает нездоровым интересом к изучению архитектур процессорных систем, тягой открытым инструментам разработки программного обеспечения (как для целевых платформ, так и «системного» ПО).

### Некоторую роль, безусловно, сыграют личные амбиции автора и его желание пройти путь «сборки» процессора регистров архитектуры (до этого практиковалась стековая ).

### Погружение в тему начнётся буквально с нулевого уровня, но от читателей потребуются некоторые базовые знания в области цифровой техники, архитектуры ЭВМ, программирования, понятия о языке ассемблера и языке описания аппаратуры Verilog. Также, поскольку наверняка очень немногим будет доступен выход на проекты, где целевым продуктом будет реализация непосредственно «в кремнии», сосредоточиться именно на перепрограммируемых решениях для FPGA.

### В качестве настольных книг, которые лучше иметь под рукой рекомендуется учебники Харрис & Харрис по цифровой схемотехнике и архитектуре компьютера, практикум Цифровой синтез под редакцией Романова, Тарасова, классику по микропроцессорным системам Каламбетова, справочник по Verilog/System Verilog. Требовпний к операционной системе особых не предъявляется– весь основной задействованы инструментарий доступен в версиях и под Windows, и под Linux системы. Могут быть некоторые ограничения доя ОС, работающих непосредственно на RISC-V, но пока, в силу их небольшого распространения можно считать их экзотикой. Ходят также слухи, что распространённое в среде FPGA разработчиков ПО удавалось запустить и под MacOS на процессорах М1/М2.

### **Общие данные о курсе**

|  |  |
| --- | --- |
| Название | Risc-V для FPGA - архитектура, микроархитектурные реализации |
| Краткая аннотация | архитектура, микроархитектурные реализации RISC-V на основе HDL Verilog |
| Подробное описание | В курсе будут рассмотрены теоретические и практические аспекты архитектуры RISC-V и его микроархитектурных реализаций |
| Цель курса | Дать слушателям понятия об архитектуре микропроцессорных систем, в частности на базе архитектуры RISC-V. Основной упор – на реконфигурируемые системы на базе программируемой логики, и в частности на базе FPGA |

### Примерный план лекций/семинаров/практикумов/лабораторных работ

|  |  |
| --- | --- |
| Номер | Информация |
| 1 | Современные RISC-архитектуры |
| Краткий обзор сравнение архитектур MIPS, ARM, RISC-V |
| 2 | Архитектура RISC-V |
| Основные принципы архитектуры команда (ISA) RISC-V, а также ее преимущества, базовый набор, псевдооперации, сжатые инструкции |
| 3 | RISC-V – принципы расширения базового набора ISA. |
| Теоретические и практические аспекты при разработке специализированных инструкций RISC-V |
| 4 | Разработка простейшего декодера команд RISC-V |
| Минимальный набор команд для процессора, понятие декодера команд, АЛУ, регистров, реализация декодера на HDL Verilog |
| 5 | Построение однотактового простейшего ядра RISC-V |
| Разработка простого однотактного процессорного ядра на Verilog – принципы, подходы, реализация на Verilog |
| 6 | Многотактный вариант ядра RISC-V |
| Оптимизация однотактного процессорного ядра на Verilog в многоактный вариант – принципы, подходы, реализация на Verilog |
| 7 | Конвейеризированное простейшее ядро RISC-V |
| Преобразование многотактного варианта ядра в конвейеризтрованное Verilog в многоактный вариант – принципы, подходы, реализация на Verilog |
| 8 | Многопоточное процессорное RISC-V ядро |
| Переход от конвейерной микроархитектуры к многопоточной |
| 9 | «Профессиональное» процессорное ядро SCR1 компании Sintacore |
| Архитектура, возможности и принципы интеграции процессорного ядра в вычислительные системы на FPGA |
| 10 | Программная «экосистема» разработчика для SCR1 |
| Обзор и основы работы с инструментарием Open-source SDK для SCR1 |
| 11 | Специфика применения процессорных софт-ядер в системах на FPGA |
| Низкая производительность по сравнению с «железными» ядрами, вспомогательные функции, массовая параллельность, управление периферией, пользовательский интерфейс |
| 12 | Вопросы построения специализированных вычислительных систем обработки данных на FPGA с применением софт-процессоров RISC-V |
| Подключение и работа с периферийными устройствами, обработка данных |
| 13 | Подходы к созданию системного и инструментального программного обеспечения для софт-процессорных ядер |
| Примеры разработки простейших трансляторов и компиляторов ЯВУ для архитектуры RISC-V |